

DERWENT-ACC-NO: 1994-203877

DERWENT-WEEK: 199425

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Semiconductor IC device mfr. - using piece of
bonding wire with inductance portion, which enables
power-supply noise redn, and preventing voltage reflection
NoAbstract

PATENT-ASSIGNEE: HITACHI LTD[HITA] , HITACHI YONEZAWA DENSHI
KK[HITAN]

PRIORITY-DATA: 1992JP-0311370 (October 27, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP <u>06140451</u> A	May 20, 1994	N/A
004 H01L 021/60		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06140451A	N/A	1992JP-0311370
October 27, 1992		

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: JP 06140451A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: SEMICONDUCTOR IC DEVICE MANUFACTURE PIECE BOND WIRE
INDUCTANCE

PORTION ENABLE POWER SUPPLY NOISE REDUCE PREVENT VOLTAGE
REFLECT
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D03A2; U11-E01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-160553

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-140451

(43)公開日 平成6年(1994)5月20日

(51)IntCl⁵

H 0 1 L 21/60

識別記号

3 0 1 A

庁内整理番号

6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号 特願平4-311370

(22)出願日 平成4年(1992)10月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233583

日立米沢電子株式会社

山形県米沢市大字花沢字八木橋東3の3274

(72)発明者 前田 浩

山形県米沢市大字花沢字八木橋東3の3274

日立米沢電子株式会社内

(72)発明者 嵐田 修

山形県米沢市大字花沢字八木橋東3の3274

日立米沢電子株式会社内

(74)代理人 弁理士 玉村 静世

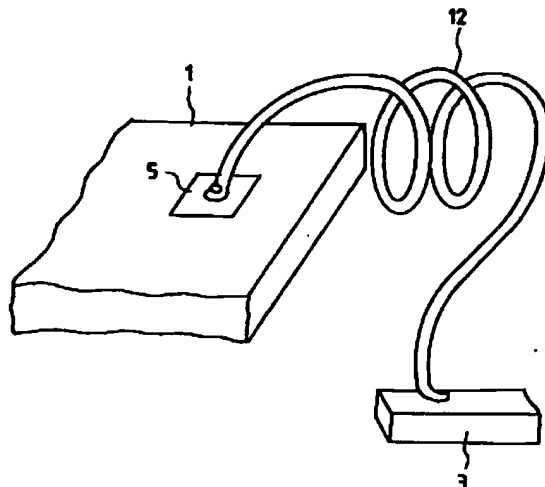
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体集積回路装置の電源ノイズ対策及び電圧反射対策のための外付け回路部品の部品点数を減らすことができると共に、外付けのための手間を省くことができる半導体集積回路装置を提供する。

【構成】 半導体集積回路チップ1のボンディングパッド5と前記半導体集積回路チップ1を内蔵するパッケージのリード端子3が、1巻き以上巻回されインダクタンスを形成するボンディングワイヤ12で接続されている。斯るインダクタンスを保有するボンディングワイヤ12は、電源ノイズ対策及び電圧反射対策に有効で、そのための外付け回路部品を削減できる。

【図 1】



【特許請求の範囲】

【請求項1】 半導体集積回路チップのボンディングパッドを、同チップを内蔵するパッケージのリード端子に、ボンディングワイヤで接続して成る半導体集積回路装置において、所定の前記ボンディングワイヤは、その一部が1回以上巻回されてインダクタンスを形成して成るものであることを特徴とする半導体集積回路装置。

【請求項2】 前記所定のボンディングワイヤは、電源供給用ボンディングパッドに接続され、当該ボンディングワイヤが保有するインダクタンスは、電源ノイズ対策のための回路素子を構成するものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 半導体集積回路チップの内部には、前記電源供給用ボンディングパッドに接続した抵抗素子又は容量素子を設けて成るものであることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】 前記所定のボンディングワイヤは、信号入力、信号出力、又は信号入出力の中から選ばれた一つの機能を有する信号用ボンディングパッドに結合され、当該ボンディングワイヤが保有するインダクタンスは、電圧反射対策のための回路素子を構成するものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 半導体集積回路チップの内部には、信号用ボンディングパッドに接続した抵抗素子を設けて成るものであることを特徴とする請求項4記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ボンディング形式でパッケージされる半導体集積回路装置に係わり、例えば電源ノイズ及び電圧反射対策に有効な技術に関する。

【0002】

【従来の技術】電源ノイズ対策として、インダクタンス、インダクタンスと容量素子、又はインダクタンスと抵抗素子を、電源供給経路に設けることができる。このような対策について記載された文献の例としては、例えば、昭和58年8月20日に（株）オーム社から発行された『電子通信ハンドブック』の第1545頁がある。また、電圧反射対策として、インダクタンス、又は、インダクタンスと抵抗素子を、信号経路に配置することができる。斯る対策について記載された文献の例としては、前記『電子通信ハンドブック』の第932頁がある。本発明者は、電源ノイズ対策として、半導体集積回路装置の電源用リード端子が接続される実装ボード上の電源用の配線に、インダクタンスと抵抗素子を直列接続したモジュールを設け、また電圧反射対策として、前記実装ボード上の信号用の配線に、インダクタンスと抵抗素子を接続したモジュールを設けることについて検討した。

【0003】

【発明が解決しようとする課題】しかしながら、発明者は、前記インダクタンス及びその他の素子を接続したモジュールを前記半導体集積回路装置のリード端子が接続される実装ボード上に設けると、それに係る手間とその他のための回路部品の点数が多くなることを見出した。

【0004】本発明の目的は、半導体集積回路装置の電源ノイズ対策及び電圧反射対策のための外付け回路部品の部品点数を減らすことができると共に、外付けのための手間を省くことができる半導体集積回路装置を提供することにある。

【0005】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0007】すなわち、本発明の半導体集積回路装置は、電源ノイズ対策及び電圧反射対策を考慮し、その他の回路素子として、ボンディングパッドに接続されるボンディングワイヤの一部を1回以上巻回して成るインダクタンスを内蔵する。さらに、その他の回路素子として抵抗素子や容量素子を必要とするときには、これらを該当するボンディングパッドに接続して半導体集積回路チップに内蔵させるとよい。

【0008】

【作用】上記した手段によれば、電源供給用ボンディングパッドに接続され、インダクタンスを保有するボンディングワイヤは、外付け回路部品としてのインダクタンス素子を要することなく電源ノイズを低減する。前記ボンディングワイヤに加え、半導体集積回路チップの内部に設けた抵抗素子又は容量素子も同様に、同種の外付け回路部品を省いて電源ノイズ対策に資する。信号用ボンディングパッドに接続され、インダクタンスを保有するボンディングワイヤは、外付け回路部品としてのインダクタンス素子を要することなく電圧反射を低減する。前記ボンディングワイヤに加え、半導体集積回路チップの内部に設けた抵抗素子も同様に、同種の外付け回路部品を省いて電圧反射対策に資する。

【0009】

【実施例】図1には本発明の一実施例に係る半導体集積回路装置の要部が示され、図2には、係る半導体集積回路装置の全体がパッケージの一部を切欠して示されている。

【0010】本実施例の半導体集積回路装置は、半導体集積回路チップ1と当該半導体集積回路チップ1を内蔵するパッケージ2から成る。前記半導体集積回路チップ1は特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコンのような半導体基板に複数個の回路素子が集積されて所定の回路機能を持ち、例え

ば、メモリ、マイクロコンピュータ、或いはアナログ用LSI（ラージ、スケール、インテグレートッド、サーキット）とされる。前記半導体集積回路装置は、前記半導体集積回路チップ1と前記パッケージ2をつなぐ金細線等のボンディングワイヤが熱圧着又は超音波ボンディングされており、後述する電源ノイズ及び電圧反射対策の手段を内蔵する。

【0011】図2において、前記半導体集積回路チップ1は、外部との電源供給、信号のやりとり等のための接続箇所として、複数のボンディングパッドを備えている。前記複数のボンディングパッドのうち、電源供給用ボンディングパッド5は、ボンディングワイヤ12でパッケージ2の電源供給用リード端子3と接続されている。又、前記複数のボンディングパッドのうち、信号用ボンディングパッド8は、ボンディングワイヤ13で信号用リード端子6に接続されている。当該ボンディングワイヤ12は、例えば予め形状を特定してコイル状に巻かれた細い被覆ワイヤが、そのままの形状でボンディングされたもので、インダクタンスを形成して電源ノイズ対策の有効な手段となる。前記ボンディングワイヤ13は、同様にされたもので、やはりインダクタンスを形成して電圧反射対策の有効な手段となる。なお、前記ボンディングワイヤ12、13の形成するインダクタンス値は、ボンディングワイヤのコイルの形、寸法、巻数及び内部の物質の透磁率などによって決定され、必要とされるインダクタンス値から、その寸法や巻数を割り出すとよい。

【0012】前記半導体集積回路チップ1には、前記電源ノイズ対策並びに電圧反射対策のために、前記インダクタンスに加えて、抵抗素子9、10を内蔵することができる。斯る抵抗素子は接続する電源供給用ボンディングパッド5又は信号用ボンディングパッド8に直列に接続される。例えば前記抵抗素子9、10は、N型半導体領域にP型の不純物を選択拡散したり、ポリシリコンなどの高抵抗配線材料を利用して形成することができる。また、同様に前記チップには、内蔵された容量素子11を形成しておくことができる。この容量素子11の一方の蓄積電極は電源供給用ボンディングパッド5に接続され、他方の蓄積電極は極性の異なる電源（例として5VのようなV_{dd}に対する0VのようなV_{ss}）若しくは電源の中間電位に接続される。斯る容量素子11は、導電型の異なる半導体領域を利用した接合容量、又は一對の導電層の間に誘電体層を形成した構造などを採用することができる。また、前記電源供給用ボンディングパッド5に直列に接続された抵抗素子9や容量素子11を内蔵することにより、当該抵抗素子9や容量素子11は、ボンディングワイヤ12とともに電源ノイズ対策の有効な手段となる。また、前記信号用ボンディングパッド8に直列に接続された抵抗素子10を内蔵することにより、当該抵抗素子10は、ボンディングワイヤ13ととも

もに電圧反射対策の有効な手段となる。

【0013】以上のように構成された本実施例の半導体集積回路装置は、その他の集積回路装置や回路部品とともに、所定の実装ボード（図示せず）に搭載されることになる。電源供給用リード端子3は実装ボード上の電源配線に接続され、信号用リード端子6は実装ボード上の所定の信号配線に接続される。このとき、半導体集積回路装置のための電源ノイズ対策や電圧反射対策のための回路素子は、この半導体集積回路装置本体に内蔵されているため、斯る対策のために特別な外付け回路部品を実装する必要はない。これによって、半導体集積回路装置のための電源ノイズ対策や電圧反射対策のための外付け回路部品の点数を削減することができるとともに、これを実装するための手間を省くことができる。

【0014】特に本実施例においては、被覆ワイヤを利用しているので、パッケージをモールドするときの流体抵抗によってコイル部品が不所望に接触しても、コイル自体の長さは変わらないから、規定のインダクタンス値が不所望にばらつくのを回避することができる。

【0015】更に半導体集積回路装置内蔵のインダクタンスにボンディングワイヤを流用しているので、チップサイズそれ自体並びにパッケージのサイズに影響を与えない。

【0016】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0017】例えば、ボンディングワイヤ12、13は、被覆ワイヤでなくてもよい。また、ボンディングワイヤ12、13をコイル状にしてボンディングする手段は、その機能をボンディング装置に持たせてもよい。また、抵抗素子9、10や容量素子11の構成には、その他の構成を適宜採用できる。

【0018】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0019】すなわち、半導体集積回路装置の内部に、ボンディングワイヤを巻回して形成されるインダクタンス、更に必要な場合には半導体集積回路チップ内部でそれに接続する抵抗や容量素子を設けてなる半導体集積回路装置を実現し、これらが同装置の電源ノイズ対策や電圧反射対策に寄与するから、それら対策のために必要とされた外付け回路部品の部品点数を少なくすることができるという効果がある。

【0020】更にインダクタンスは、ボンディングワイヤを流用しているので、チップサイズやパッケージのサイズには一切影響を与えない。

【図面の簡単な説明】

5

6

【図1】本発明の一実施例に係る半導体集積回路装置の要部を示す斜視図である。

【図2】半導体集積回路装置の全体を、パッケージの一部を切欠して示す説明図である。

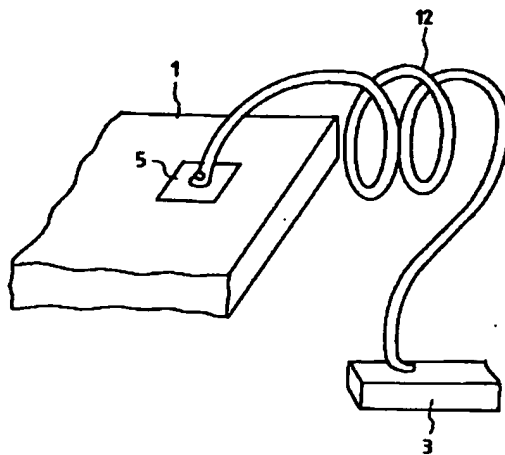
【符号の説明】

1 半導体集積回路チップ
2 パッケージ

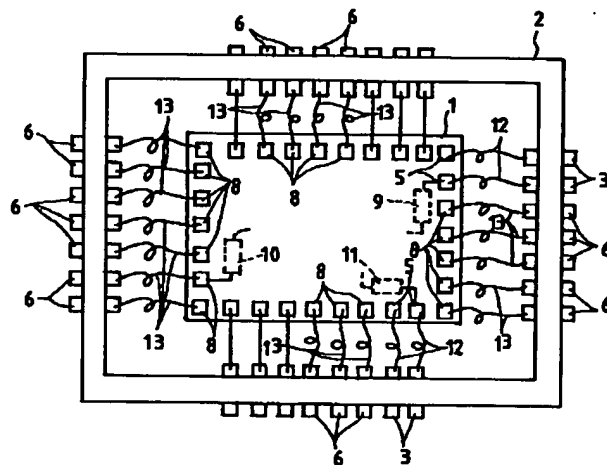
3 電源供給用リード端子
5 電源供給用ボンディングパッド
6 信号用リード端子
8 信号用ボンディングパッド
9 ～10 抵抗素子
11 容量素子
12～13 ボンディングワイヤ

【図1】

【図 1】



【図2】



【図 2】